



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): NAKAYAMA	Atty. Dkt.: 01-480
Serial No.: 10/662,370	Group Art Unit: 2811
Filed: September 16, 2003	Examiner: Unknown
Title: SEMICONDUCTOR EQUIPMENT	

Commissioner for Patents
Arlington, VA 22202

Date: December 16, 2003

SUBMISSION OF PRIORITY CLAIM AND PRIORITY DOCUMENT(S)

Dear Sir:

Pursuant to the provisions of 35 U.S.C. § 119, it is respectfully requested that the present application be given the benefit of the foreign filing date of the following foreign applications. A certified copy of each application is enclosed.

Application Number	Country	Filing Date
2002-273117	JAPAN	September 19, 2002
2003-307286	JAPAN	August 29, 2003

Respectfully submitted,

David G. Posz
Reg. No. 37,701

Posz & Bethards, PLC
11250 Roger Bacon Drive
Suite 10
Reston, VA 20190
(703) 707-9110
Customer No. 23400

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

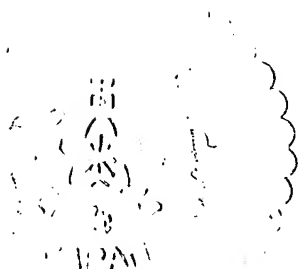
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 7 3 1 1 7
Application Number:

[ST. 10/C] : [J P 2 0 0 2 - 2 7 3 1 1 7]

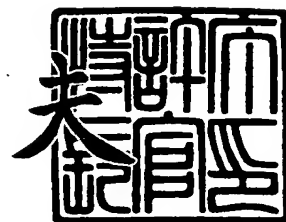
出 願 人 株式会社デンソー
Applicant(s):



2 0 0 3 年 8 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 PSN424

【提出日】 平成14年 9月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78
H01L 21/70

【発明者】

【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

【氏名】 中山 喜明

【特許出願人】

【識別番号】 000004260

【氏名又は名称】 株式会社デンソー

【代理人】

【識別番号】 100106149

【弁理士】

【氏名又は名称】 矢作 和行

【電話番号】 052-220-1100

【手数料の表示】

【予納台帳番号】 010331

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板に MOS トランジスタが形成されてなる半導体装置であって、

前記半導体基板は、前記 MOS トランジスタのドレインとなる第 1 導電型の第 1 半導体層と、前記第 1 半導体層上に形成され、第 1 導電型で前記第 1 半導体層より低濃度の第 2 半導体層からなり、

前記 MOS トランジスタは、前記第 2 半導体層の表層部に形成される第 2 導電型のチャネル拡散領域と、前記チャネル拡散領域の表層部に形成される第 1 導電型のソース拡散領域と、前記チャネル拡散領域の一部にゲート絶縁膜を介して当接配置されるゲート電極とを備え、

前記第 1 半導体層内には、表面から前記第 2 半導体層に向かうトレンチが形成され、当該トレンチ内に、電極となる金属層が形成されてなることを特徴とする半導体装置。

【請求項 2】 前記 MOS トランジスタは、前記第 2 半導体層側の表面から第 1 半導体層に達する第 1 導電型のドレイン接続拡散領域を備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板に MOS トランジスタが形成されてなる半導体装置であって、

前記半導体基板は、内部に絶縁膜を埋め込んだ SOI 基板からなり、

前記絶縁膜上の主面には、前記 MOS トランジスタのドレインとなる第 1 導電型の第 1 半導体層と、前記第 1 半導体層上に形成され、第 1 導電型で前記第 1 半導体層より低濃度の第 2 半導体層が形成され、

前記 MOS トランジスタは、前記第 2 半導体層の表層部に形成される第 2 導電型のチャネル拡散領域と、前記チャネル拡散領域の表層部に形成される第 1 導電型のソース拡散領域と、前記チャネル拡散領域の一部にゲート絶縁膜を介して当接配置されるゲート電極とを備え、

前記絶縁膜下の裏面には、表面から前記絶縁膜を貫通して前記第 1 半導体層に

達するトレンチが形成され、当該トレンチにより露出した第1半導体層上に、電極となる金属層が形成されてなることを特徴とする半導体装置。

【請求項4】 前記MOSトランジスタは、前記主面側の表面から第1半導体層に達する第1導電型のドレイン接続拡散領域を備えることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記主面に形成されるMOSトランジスタ構成部分が、前記絶縁膜に達する深さで当該構成部分を取り囲むトレンチ分離領域によって、周囲から絶縁分離されてなることを特徴とする請求項3または4に記載の半導体装置。

【請求項6】 前記トレンチに側壁絶縁膜が形成され、前記金属層が裏面において周囲から絶縁分離されてなることを特徴とする請求項3乃至5のいずれか1項に記載の半導体装置。

【請求項7】 前記半導体装置が、前記主面側をプリント配線基板に対向して、当該プリント配線基板にフリップチップ実装されることを特徴とする請求項3乃至6のいずれか1項に記載の半導体装置。

【請求項8】 前記半導体装置が、多層のプリント配線基板内に埋め込み実装されることを特徴とする請求項3乃至6のいずれか1項に記載の半導体装置。

【請求項9】 前記金属層が、はんだ付けによりヒートシンクに接続されることを特徴とする請求項3乃至6のいずれか1項に記載の半導体装置。

【請求項10】 前記半導体基板に前記MOSトランジスタが複数個搭載され、当該複数個のMOSトランジスタにより、マルチチャネルのスイッチが構成されることを特徴とする請求項3乃至9のいずれか1項に記載の半導体装置。

【請求項11】 前記マルチチャネルのスイッチが、電源とグランド間で、電源側にMOSトランジスタが挿入され、グランド側に負荷が挿入されるハイスайдスイッチであることを特徴とする請求項10に記載の半導体装置。

【請求項12】 前記トレンチが、テーパ形状に形成されることを特徴とする請求項1乃至11のいずれか1項に記載の半導体装置。

【請求項13】 前記トレンチが、前記金属層により埋め込まれることを特徴とする請求項1乃至12のいずれか1項に記載の半導体装置。

【請求項 14】 前記ゲート電極が、前記チャネル拡散領域を貫通し第 2 半導体層に達するトレンチに形成されることを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板に MOS トランジスタが形成されてなる半導体装置に関するもので、特に、低オン抵抗の MOS トランジスタが形成されてなる半導体装置に関する。

【0002】

【従来の技術】

MOS トランジスタが形成されてなる半導体装置として、例えば、特開平 5-198758 号公報が開示されている。図 12 に、特開平 5-198758 号公報（特許文献 1）に開示された半導体装置 200 の断面図を示す。

【0003】

図 12 において、半導体基板 3 内には基板上面に開放する箱形の絶縁層 4 が形成され、絶縁層 4 の縦壁によって互いに区画された 3 つの半導体層内には各々、論理回路あるいはゲート駆動回路等を構成する制御回路部（図 12 には一例として C-MOS 回路を図示している）5、及びその左右位置に各々横型二重拡散 MOSFET（L-DMOS）2A、2B が形成されている。これら L-DMOS 2A、2B は不純物拡散により、水平方向へ離れた位置にソース 21 とドレイン 22 が形成されており、各 L-DMOS 2A、2B のソース 21 は基板表面からの二重拡散（Double Diffusion）で形成されるとともにアースされている。

【0004】

上記箱形絶縁層 4 外には左右位置にそれぞれ縦型二重拡散 MOSFET（V-DMOS）1A、1B が形成されており、これら V-DMOS 1A、1B は半導体基板 3 の上面からの不純物の二重拡散によりソース 11 が形成されているとともに、基板 3 の下面を共通のドレイン 12 として電源（+B）に接続されている。なお、図中 13、23 はゲートである。

【0005】

【特許文献1】特開平5-198758号公報

【0006】

【発明が解決しようとする課題】

図12の半導体装置200の絶縁層4は、選択的にSOI (Silicon On Insulator) 構造を作る必要があるため、基板の加工コストが高くなる。また、図12の半導体装置200においては、V-DMOS 1A, 1Bのドレイン12の端子が共通となるため、複数個のV-DMOSによりマルチチャネルのスイッチを構成する際の自由度が低い。

【0007】

一方、前記の製造コストを下げマルチチャネル化の自由度を高める目的で、内部に絶縁膜を埋め込んだSOI基板を利用する場合、図12のN+半導体基板3に相当するN+層が、SOI基板の埋め込み絶縁膜上に形成される。この際には、半導体装置に形成されるV-DMOSにおいて、ドレインのN+層の抵抗が律速し、オン抵抗の低減が困難である。

【0008】

そこで本発明は、低オン抵抗のMOSトランジスタが形成されてなる半導体装置を提供することを第1の目的とする。また、マルチチャネル化の自由度の高い半導体装置を提供することを第2の目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の発明は、半導体基板にMOSトランジスタが形成されてなる半導体装置であって、前記半導体基板は、前記MOSトランジスタのドレインとなる第1導電型の第1半導体層と、前記第1半導体層上に形成され、第1導電型で前記第1半導体層より低濃度の第2半導体層からなり、前記MOSトランジスタは、前記第2半導体層の表層部に形成される第2導電型のチャネル拡散領域と、前記チャネル拡散領域の表層部に形成される第1導電型のソース拡散領域と、前記チャネル拡散領域の一部にゲート絶縁膜を介して当接配置されるゲート電極とを備え、前記第1半導体層内には、表面から前記

第2半導体層に向かうトレンチが形成され、当該トレンチ内に、電極となる金属層が形成されてなることを特徴としている。

【0010】

これによれば、第1半導体層内にトレンチが形成され、当該トレンチ内に金属層が形成されるため、ドレインである第1半導体層の抵抗が低減されて、MOSトランジスタのオン抵抗を低減することができる。

【0011】

請求項2に記載の発明は、前記MOSトランジスタが、前記第2半導体層側の表面から第1半導体層に達する第1導電型のドレイン接続拡散領域を備えることを特徴としている。これにより、MOSトランジスタに流れる電流をモニタすることができる。

【0012】

請求項3に記載の発明は、半導体基板にMOSトランジスタが形成されてなる半導体装置であって、前記半導体基板は、内部に絶縁膜を埋め込んだSOI基板からなり、前記絶縁膜上の主面には、前記MOSトランジスタのドレインとなる第1導電型の第1半導体層と、前記第1半導体層上に形成され、第1導電型で前記第1半導体層より低濃度の第2半導体層が形成され、前記MOSトランジスタは、前記第2半導体層の表層部に形成される第2導電型のチャネル拡散領域と、前記チャネル拡散領域の表層部に形成される第1導電型のソース拡散領域と、前記チャネル拡散領域の一部にゲート絶縁膜を介して当接配置されるゲート電極とを備え、前記絶縁膜下の裏面には、表面から前記絶縁膜を貫通して前記第1半導体層に達するトレンチが形成され、当該トレンチにより露出した第1半導体層上に、電極となる金属層が形成されてなることを特徴としている。

【0013】

これによれば、内部に絶縁膜を埋め込んだSOI基板に形成されるMOSトランジスタにおいて、絶縁膜下の裏面に絶縁膜を貫通して第1半導体層に達するトレンチが形成され、トレンチにより露出した第1半導体層上に金属層が形成される。従って、ドレインである第1半導体層の抵抗が低減されて、MOSトランジスタのオン抵抗を低減することができる。

【0014】

請求項4に記載の発明は、前記MOSトランジスタが、前記主面側の表面から第1半導体層に達する第1導電型のドレイン接続拡散領域を備えることを特徴としている。これにより、MOSトランジスタに流れる電流をモニタすることができる。

【0015】

請求項5に記載の発明は、前記主面に形成されるMOSトランジスタ構成部分が、前記絶縁膜に達する深さで当該構成部分を取り囲むトレンチ分離領域によって、周囲から絶縁分離されてなることを特徴としている。これにより、MOSトランジスタの周囲に形成される素子からの影響を低減することができる。

【0016】

請求項6に記載の発明は、前記トレンチに側壁絶縁膜が形成され、前記金属層が裏面において周囲から絶縁分離されてなることを特徴としている。これにより、ドレインの電極である金属層が周囲から絶縁分離されるため、マルチチャネル化の自由度を高めることができる。

【0017】

請求項7に記載の発明は、前記半導体装置が、前記主面側をプリント配線基板に対向して、当該プリント配線基板にフリップチップ実装されることを特徴としている。これにより、裏面に形成した金属層からMOSトランジスタで発生した熱を放熱することができ、半導体装置の放熱性を高めることができる。

【0018】

請求項8に記載の発明は、前記半導体装置が、多層のプリント配線基板内に埋め込み実装されることを特徴としている。これにより、裏面側に金属層を有する半導体装置を、コンパクトに実装することができる。

【0019】

請求項9に記載の発明は、前記金属層が、はんだ付けによりヒートシンクに接続されることを特徴としている。これにより、MOSトランジスタで発生した熱を裏面に形成した金属層からヒートシンクに放熱することができ、半導体装置の放熱性を高めることができる。

【0020】

請求項10に記載の発明は、半導体基板にMOSトランジスタが複数個搭載され、当該複数個のMOSトランジスタにより、マルチチャネルのスイッチが構成されることを特徴としている。これにより、低オン抵抗のマルチチャネルのスイッチを構成することができる。

【0021】

請求項11に記載の発明は、前記マルチチャネルのスイッチが、電源とグランド間で、電源側にMOSトランジスタが挿入され、グランド側に負荷が挿入されるハイサイドスイッチであることを特徴としている。これにより、低オン抵抗のマルチチャネルのハイサイドスイッチを構成することができる。

【0022】

請求項12に記載の発明は、前記トレンチが、テーパ形状に形成されることを特徴としている。これにより放熱性を高めることができると共に、トレンチ形成に際してウェットエッチングを利用することで、製造コストを低減することができる。

【0023】

請求項13に記載の発明は、前記トレンチが、金属層により埋め込まれることを特徴としている。これにより、放熱性を高めることができると共に、電極抵抗を低減することができる。

【0024】

請求項14に記載の発明は、ゲート電極が、前記チャネル拡散領域を貫通し第2半導体層に達するトレンチに形成されることを特徴としている。これにより、MOSトランジスタのオン抵抗をさらに低減することができる。

【0025】**【発明の実施の形態】**

以下、本発明の実施形態を、図に基づいて説明する。

【0026】**(第1の実施形態)**

図1に、本発明の第1実施形態における半導体装置100の断面図を示す。図

1に示す半導体装置100は、半導体基板30にMOSトランジスタ101とバイポーラトランジスタ102が形成されてなる半導体装置である。

【0027】

半導体基板30は、内部に絶縁膜32を埋め込んだSOI基板であり、シリコン(Si)基板31、絶縁膜32、n+型の第1半導体層33、n型の第2半導体層34が順次積層されてなる。第2半導体層34の表層部には、p型の拡散領域40が形成され、拡散領域40の表層部には、n+型の拡散領域41とp+型の拡散領域42が形成されている。また、拡散領域40の外側には、p型の拡散領域47とp+型の拡散領域48が形成されており、その外側には、第1半導体層33に達するn+型の拡散領域45が形成されている。

【0028】

図1に示すMOSトランジスタ101は、絶縁膜32上の主面に形成されたn+型の第1半導体層33がドレインに対応し、表層部に形成されたp型の拡散領域40がチャネルに対応し、n+型の拡散領域41がソースに対応する。尚、チャネルに対応する拡散領域40の外側に形成されたp型の拡散領域47とp+型の拡散領域48は、拡散領域40の外側の電界を緩和して、MOSトランジスタ101の耐圧の低下を防止するために配置されたものである。

【0029】

絶縁膜32上の主面には、チャネルの拡散領域40の一部に当接して、ゲート絶縁膜(図示を省略)を介してゲート電極39が形成されている。また、表面に形成された拡散領域41、42、48は、層間絶縁膜43を介して、ソース電極44により共通に接続されている。尚、表面から第1半導体層33に達するn+型の拡散領域45は、ドレインに接続してMOSトランジスタ101の電流をモニタするために配置されたもので、省略しても構わない。

【0030】

絶縁膜33下の裏面には、表面から垂直方向に、絶縁膜32を貫通して第1半導体層33に達するトレンチ35が形成されている。また、トレンチ35には側壁絶縁膜36が形成され、トレンチ35により露出した第1半導体層33に当接して、ドレイン電極である金属層37が、トレンチ35を埋め込んで形成されて

いる。

【0031】

図1に示すMOSトランジスタ101は、絶縁膜32上の主面において、トレンチ分離領域38により周囲から絶縁分離されている。また、絶縁膜32下の裏面においては、トレンチ35の側壁に形成された側壁絶縁膜36により、ドレインの金属層37が周囲から絶縁分離されている。尚、図中の符号49は、LOCOSである。

【0032】

次に、図1に示す半導体装置100の製造方法を、図2(a)～(c)に示す工程別断面図を用いて説明する。

【0033】

最初にSOI基板(ウェハ)30を準備し、絶縁膜32上の主面にトレンチ分離領域38およびMOSトランジスタ101とバイポーラトランジスタ102の各構成要素を形成して、主面側を完成させる。

【0034】

次に、図2(a)に示すように、トレンチ35を形成する。トレンチ35の形成は、以下のように行なう。最初に裏面側を研磨してシリコン基板31の厚さを所定の厚さに薄くした後、ウェハの裏面の全面にCVDで酸化膜50を堆積する。次に、堆積した酸化膜50をパターニングし、MOSトランジスタ101の真中にあるp型拡散領域40、47直下の酸化膜50を取り除いて開口する。さらに、パターニングした酸化膜50をマスクにして、シリコン基板31と絶縁膜32を異方性ドライエッチングを用いてエッチングし、第1半導体層33を露出させる。

【0035】

次に、図2(b)に示すように、側壁酸化膜36を形成する。側壁酸化膜36の形成は、以下のように行なう。最初にマスクに用いた酸化膜50を除去した後、CVDでウェハの全面に再び酸化膜を堆積する。次に、異方性ドライエッチングを用いてエッチングし、トレンチ35の側壁酸化膜36のみを残す。

【0036】

次に、図 2 (c) に示すように、側壁酸化膜 36 が形成されたトレンチ 35 に金属層 37 を形成する。金属層 37 の形成は、銅 (Cu) メッキ等によりトレンチ 35 を金属で埋め込んだ後、シリコン基板 31 が露出するまで研磨することにより行なう。

【0037】

以上で、図 1 に示す半導体装置 100 が完成する。

【0038】

図 15 に示す従来の半導体装置 200 では、n+型の半導体基板 3 に選択的に SOI 構造が形成され、パワー素子である V-DMOS 1A, 1B および各 L-DMOS 2A, 2B が配置されていた。一方、本実施形態の半導体装置 100 では、基本的に、内部に絶縁膜 32 を埋め込んだ SOI 基板 30 を利用している。このため、図 12 の半導体装置 200 に較べて基板の加工が容易で、製造コストを下げることができる。

【0039】

また、図 1 の半導体装置 100 に形成された MOS トランジスタ 101 は、絶縁膜 32、および絶縁膜 32 上に形成されたトレンチ分離領域 38 と、絶縁膜 32 下に形成された側壁絶縁膜 36 により、周囲から絶縁分離されている。このようにして絶縁分離された複数の MOS トランジスタを利用すれば、容易にマルチチャネルのスイッチを構成することができる。従って、本実施形態の半導体装置においては、MOS トランジスタを用いたスイッチのマルチチャネル化の自由度が高められている。

【0040】

図 1 の MOS トランジスタ 101 は、図中の矢印で示したように、ソースの拡散領域 41 から出た電子が、チャネル拡散領域 40 を通り、ドレインである第 1 半導体層 33 を通り抜けて、電極の金属層 37 に集められる。図 1 の MOS トランジスタ 101 において、図 12 の従来の V-DMOS 1A, 1B の N+半導体基板 3 に対応するのは、SOI 基板 30 の絶縁膜 32 上に形成された n+型の第 1 半導体層 33 である。従って、図 12 の N+半導体基板 3 の厚さに較べて、図 1 の第 1 半導体層 33 の厚さは、格段に薄くなっている。さらに、図 1 の MOS

トランジスタ 101 においては、裏面に絶縁膜 32 を貫通して第 1 半導体層 33 に達するトレンチ 35 が形成され、トレンチ 35 により露出した第 1 半導体層 33 上に当接して、金属層 37 が埋め込み形成されている。このため、図 1 の MOS トランジスタ 101 のドレイン抵抗は、図 12 の従来の V-DMOS 1A, 1B に較べて、格段に低減される。従って、図 1 の MOS トランジスタ 101 のオン抵抗も、図 12 の V-DMOS 1A, 1B に較べて低減することができる。

【0041】

(第 2 の実施形態)

第 1 実施形態の半導体装置は、SOI 基板の絶縁膜下の裏面において、表面から垂直方向にトレンチが形成され、トレンチに埋め込み形成された金属層が、トレンチの側壁絶縁膜により周囲から絶縁分離されてなる半導体装置であった。第 2 の実施形態は、トレンチおよび金属層が第 1 実施形態の半導体装置と異なった構造を有する半導体装置に関する。以下、本実施形態について図に基づいて説明する。

【0042】

図 3, 4, 5 に、各々、本実施形態の半導体装置 110, 120, 130 の断面図を示す。尚、図 1 に示す半導体装置 100 と同様の部分については同じ符号を付け、その説明は省略する。

【0043】

図 3 に示す半導体装置 110 の MOS トランジスタ 111 では、第 1 実施形態の図 1 に示す半導体装置 100 と同様に、SOI 基板 30 の絶縁膜 32 下の裏面において、表面から垂直方向にトレンチ 35 が形成されている。一方、図 3 の半導体装置 110 では、図 1 の半導体装置 100 と異なり、トレンチ 35 には側壁絶縁膜が形成されず、トレンチ 35 に埋め込み形成された金属層 37 は、周囲から絶縁分離されていない。

【0044】

SOI 基板 30 に MOS トランジスタを 1 個形成する場合、あるいはドレインを共通電位とする MOS トランジスタを複数個形成する場合には、側壁絶縁膜のない図 3 の構造を有する半導体装置 110 を用いることができる。これにより、

図 2 (b) に示した側壁絶縁膜の形成工程が不要になるので、製造コストを低減することができる。

【0045】

図 4 に示す半導体装置 120 の MOS トランジスタ 121 では、SOI 基板 30 の絶縁膜 32 下の裏面において、図 1 に示す半導体装置 100 の表面から垂直方向に形成されたトレンチ 35 と異なり、表面からテーパ形状にトレンチ 35' が形成されている。

【0046】

図 1 に示す表面に垂直方向のトレンチ 35 の形成は、図 2 (a) に示した工程で異方性ドライエッチングを用いて行なったが、図 4 におけるテーパ形状のトレンチ 35' の形成は、アルカリエッチングを用いて行なうことができる。これによって、ドライエッチングに較べてエッチング工程が容易になり、製造コストを低減することができる。

【0047】

図 5 に示す半導体装置 130 の MOS トランジスタ 131 では、SOI 基板 30 の絶縁膜 32 下の裏面において、図 4 に示す半導体装置 120 と同様に、テーパ形状のトレンチ 35' が形成されている。一方、図 5 のトレンチ 35' 内の金属層 37' は金属薄膜であり、図 4 の半導体装置 120 や図 1, 3 の半導体装置 100, 110 に示した金属層 37 のようにトレンチを完全に埋め込んだものではない。

【0048】

図 5 の金属層 37' としては、例えば、スパッタによるチタン (Ti) / ニッケル (Ni) / 金 (Au) の積層膜や、メッキによる銅 (Cu) 膜を用いることができる。金属薄膜からなる金属層 37' の形成は、トレンチ 35' が深くて埋め込みが困難な場合や、製造コストの低減に有効である。

【0049】

(第 3 の実施形態)

第 1 実施形態の半導体装置の MOS トランジスタにおいては、チャネルの拡散領域の一部に当接して、ゲート電極が配置されていた。第 3 の実施形態の半導体

装置は、チャネル拡散領域を貫通し第2半導体層に達するトレンチにゲート電極が配置されてなるMOSトランジスタが形成された半導体装置に関する。以下、本実施形態について図に基づいて説明する。

【0050】

図6に、本実施形態の半導体装置140の断面図を示す。尚、図1に示す半導体装置100と同様の部分については同じ符号を付け、その説明は省略する。

【0051】

図6に示す半導体装置140のMOSトランジスタ141では、第2半導体層34の表層部に、p型の拡散領域40'が形成され、拡散領域40'の表層部には、n+型の拡散領域41'が形成されている。また、図1に示す半導体装置100と異なり、本実施形態の半導体装置140では、チャネル拡散領域40'を貫通し、第2半導体層34に達するトレンチにゲート電極39'が配置されている。尚、ゲート電極39'は、ゲート絶縁膜（図示を省略）を介して、拡散領域40'、41'と第2半導体層34に当接している。

【0052】

図6に示す半導体装置140のMOSトランジスタ141においては、図中の矢印で示したように、ソースの拡散領域41'から出た電子が、直線的にチャネル拡散領域40'を通り、ドレインである第1半導体層33を通り抜けて、電極の金属層37に集められる。従って、図1のMOSトランジスタ101に較べて、さらにドレイン抵抗を低減することができ、これによって、MOSトランジスタ141のオン抵抗を低減することができる。

【0053】

（第4の実施形態）

第1実施形態の半導体装置は、SOI基板にMOSトランジスタとバイポーラトランジスタが形成された半導体装置であった。第4の実施形態の半導体装置は、埋め込み絶縁膜のない通常のシリコン基板に、MOSトランジスタのみが形成された半導体装置に関する。以下、本実施形態について図に基づいて説明する。

【0054】

図7（a）は、本実施形態の半導体装置150の断面図であり、図7（b）は

、本実施形態の半導体装置 150 のプリント配線基板 153 への搭載状態を示す断面図である。尚、図 1 に示す半導体装置 100 と同様の部分については同じ符号を付け、その説明は省略する。

【0055】

図 7 (a) に示すように、本実施形態の半導体装置 150 においては、第 1 半導体層 33' と第 2 半導体層 34 からなる半導体基板 30' に、ただ一つの MOS トランジスタ 151 が形成されており、ディスクリット素子となっている。また、支持基板を兼ねる第 1 半導体層 33' 内にトレンチ 35' が形成され、トレンチ 35' 内に金属層 37' が埋め込み形成されている。尚、前記の第 1 ～ 3 実施形態の半導体装置 100 ～ 140 においては図示を省略したが、本実施形態の半導体装置 150 においては、表面保護膜 50 を図示した。

【0056】

図 7 (b) に、本実施形態の半導体装置 150 について、プリント配線基板 153 への搭載例を示す。図 7 (b) の搭載例では、ディスクリット素子である図 7 (a) の半導体装置 150 が、プリント配線基板 153 へフリップチップ実装されている。すなわち、図 7 (a) の半導体装置 150 が反転され、半導体装置 150 の電極 44 とプリント配線基板 153 の接続ランド 52 が、符号 51 で示したハンダボールにより接続されている。

【0057】

図 7 (b) に示す搭載例では、金属層 37' は配線回路には接続されていない。従って、図 7 (b) のように搭載された半導体装置 150 の MOS トランジスタ 151 では、電子は図中の矢印で示したように移動する。すなわち、この場合には金属層 37' はドレイン電極として機能せず、ドレイン接続領域 45 に接続する図中の電極 44 (d) がドレイン電極として機能している。

【0058】

本実施形態の半導体装置 150 においても、第 1 半導体層 33' 内にトレンチ 35' が形成され、トレンチ 35' 内に金属層 37' が形成されるため、ドレインである第 1 半導体層 33' の抵抗が低減されて、MOS トランジスタ 151 のオン抵抗を低減することができる。また、金属層 37' から MOS トラ

ンジスタ 151 で発生した熱を外部に放熱することができ、金属層 37' ' を形成しない場合に較べて、半導体装置 150 の放熱性を高めることができる。

【0059】

(第5の実施形態)

第4実施形態で、通常の半導体基板にただ一つのMOSトランジスタが形成された半導体装置について、プリント配線基板へのフリップチップ実装例を示した。第5の実施形態においては、SOI基板に2個のMOSトランジスタと2個のバイポーラトランジスタが形成された半導体装置について、プリント配線基板への搭載例を示す。以下、本実施形態について図に基づいて説明する。

【0060】

図8は、本実施形態の半導体装置 160 のプリント配線基板 165 への搭載状態を示す断面図である。

【0061】

図8に示すように、本実施形態の半導体装置 160 においては、SOI基板 30 に、2個のMOSトランジスタ 161, 162 と2個のバイポーラトランジスタ 163, 164 が形成されている。2個のMOSトランジスタ 161, 162 は第1実施形態の図1に示したMOSトランジスタ 101 と同様の構造を有しており、主面側はトレンチ分離領域 38 で、裏面側は側壁絶縁膜 36 で、それぞれ絶縁分離されている。

【0062】

図8に示す搭載例では、半導体装置 160 が、プリント配線基板 165 へフリップチップ実装されている。2個のMOSトランジスタ 161, 162 のソース電極 44 は、ハンダボール 51 により、プリント配線基板 165 の接続ランド 52 (s) に接続されている。一方、ドレイン電極である金属層 37 は、ワイヤ 53 により、プリント配線基板 165 の接続ランド 52 (d) に接続されている。

【0063】

図9は、図8と同じ半導体装置 160 について、多層のプリント配線基板 166 への搭載状態を示す断面図である。2個のMOSトランジスタ 161, 162 のソース電極 44 は、ハンダボール 51 により、多層のプリント配線基板 166

の接続ランド52 (s) に接続されている。一方、ドレイン電極である金属層37は、ハンダ54により、多層のプリント配線基板166の接続ランド52 (d) に接続されている。

【0064】

図8および図9に示す半導体装置160では、2個のMOSトランジスタ161, 162が互いに絶縁分離されており、この2個のMOSトランジスタ161, 162を用いて、例えば低オン抵抗のマルチチャネルのスイッチを構成することができる。

【0065】

(第6の実施形態)

第5実施形態で、SOI基板に2個のMOSトランジスタと2個のバイポーラトランジスタが形成された半導体装置について、プリント配線基板への実装例を示した。第6の実施形態においては、同様の半導体装置について、電源とグランド間で、電源側にMOSトランジスタが挿入され、グランド側に負荷が挿入されるハイサイドスイッチとして適用した例を示す。以下、本実施形態について図に基づいて説明する。

【0066】

図10 (a) は、ハイサイドスイッチを説明するための図であり、図10 (b) は、本実施形態の半導体装置170について、ハイサイドスイッチとしてヒートシンクへ搭載した例を示す断面図である。

【0067】

図10 (a) に示すように、ハイサイドスイッチは、電源(+B) とグランド(GND) 間で、電源側にスイッチであるMOSトランジスタが挿入され、グランド側に負荷が挿入されるものである。図10 (a) では、2個のMOSトランジスタ171, 172が電源側に挿入され、グランド側に負荷R1, R2が挿入されている。2個のMOSトランジスタ171, 172が形成された半導体装置170は、2チャンネルのハイサイドスイッチとなっている。マルチチャネルのハイサイドスイッチでは、図10 (a) に示すように、電源側の各スイッチのドレイン回路を一本化することができる。

【0068】

図10(b)に示す搭載例では、2チャンネルのハイサイドスイッチである半導体装置170が、ヒートシンク175へ搭載されている。

【0069】

図10(b)に示すように、本実施形態の半導体装置170においては、2個のMOSトランジスタ171、172と2個のバイポーラトランジスタ173、174が形成されている。2個のMOSトランジスタ171、172は第2実施形態の図3に示したMOSトランジスタ111と同様の構造を有しており、主面側はトレンチ分離領域38で絶縁分離されているが、裏面側はトレンチ35に側壁絶縁膜が形成されていない。また、トレンチ35内の金属層37は、ハンダ55によりヒートシンク175に接続されている。従って、図10(b)に示す半導体装置170では、図中の矢印で示したように、ソース電極44から出た電子がドレイン電極である金属層37を通り、ヒートシンク175に流れる。2個のMOSトランジスタ171、172はハイサイドスイッチであるため、このようにMOSトランジスタ171、172のドレイン電極である金属層37を接続して、ドレイン回路を一本化することができる。

【0070】

図10(b)に示す半導体装置170においては、2個のMOSトランジスタ171、172は、低オン抵抗の2チャンネルハイサイドスイッチとして機能する。また、2個のMOSトランジスタ171、172で発生した熱は、熱伝導の良い金属層37を通して、ヒートシンク175に放熱される。従って、図10(b)に示す搭載により、半導体装置170の放熱性を高めることができる。

【0071】

(第7の実施形態)

第6実施形態で、2個のMOSトランジスタが形成された半導体装置について、ハイサイドスイッチとして適用した例を示した。第7の実施形態においては、前記と同様の2個のMOSトランジスタおよび2個のL-DMOSが形成された半導体装置について、モータ等を駆動するH型ブリッジ回路に適用した例を示す。以下、本実施形態について図に基づいて説明する。

【0072】

図11(a)は、H型ブリッジ回路を説明するための図であり、図11(b)は、本実施形態の半導体装置180について、H型ブリッジ回路のスイッチとしてヒートシンクへ搭載した例を示す断面図である。

【0073】

図11(a)に示すH型ブリッジ回路では、電源(+B)とグランド(GND)間で、モータ(M)および4個のMOSトランジスタ181, 182, 183, 184が、図のようにH型に回路構成されている。4個のMOSトランジスタ181, 182, 183, 184は各々電流回路のスイッチとなっており、これらを適宜切り替えることにより、モータを反転駆動することができる。図11(a)のH型ブリッジ回路において、2個のMOSトランジスタ181, 182はハイサイドスイッチであり、2個のMOSトランジスタ183, 184はローサイドスイッチである。

【0074】

図11(b)に示す搭載例では、4個のMOSトランジスタ181, 182, 183, 184が形成された半導体装置180が、ヒートシンク185へ搭載されている。2個のMOSトランジスタ181, 182は、第2実施形態の図3に示したMOSトランジスタ111と同様の構造を有しており、主面側はトレンチ分離領域38で絶縁分離されているが、裏面側はトレンチ35に側壁絶縁膜が形成されていない。また、トレンチ35内の金属層37は、ハンダ56によりヒートシンク185に接続されている。2個のMOSトランジスタ181, 182はハイサイドスイッチであるため、このようにMOSトランジスタ181, 182のドレイン電極である金属層37を接続して、ドレイン回路を一本化することができる。2個のMOSトランジスタ183, 184は、L-DMOS構造を有しており、ローサイドスイッチを構成している。

【0075】

図11(b)に示す半導体装置180においては、2個のMOSトランジスタ181, 182は、H型ブリッジ回路における低オン抵抗の2チャンネルハイサイドスイッチとして機能する。また、2個のMOSトランジスタ181, 182

で発生した熱は、熱伝導の良い金属層 37 を通って、ヒートシンク 185 に放熱される。従って、図 11 (b) に示す搭載により、半導体装置 180 の放熱性を高めることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態における半導体装置の断面図である。

【図 2】

(a) ~ (c) は、本発明の第 1 実施形態における半導体装置の製造方法を示す工程別の断面図である。

【図 3】

本発明の第 2 実施形態における半導体装置の断面図である。

【図 4】

本発明の第 2 実施形態における半導体装置の断面図である。

【図 5】

本発明の第 2 実施形態における半導体装置の断面図である。

【図 6】

本発明の第 3 実施形態における半導体装置の断面図である。

【図 7】

(a) は、本発明の第 4 実施形態における半導体装置の断面図であり、(b) は、第 4 実施形態の半導体装置のプリント配線基板への搭載状態を示す断面図である。

【図 8】

本発明の第 5 実施形態における半導体装置のプリント配線基板への搭載状態を示す断面図である。

【図 9】

本発明の第 5 実施形態における半導体装置の多層のプリント配線基板への搭載状態を示す断面図である。

【図 10】

(a) は、ハイサイドスイッチを説明するための図であり、(b) は、ハイサ

イドスイッチとして用いられる第6実施形態の半導体装置のヒートシンクへの搭載状態を示す断面図である。

【図11】

(a) は、H型ブリッジ回路を説明するための図であり、(b) は、H型ブリッジ回路のスイッチとして用いられる第7実施形態の半導体装置のヒートシンクへの搭載状態を示す断面図である。

【図12】

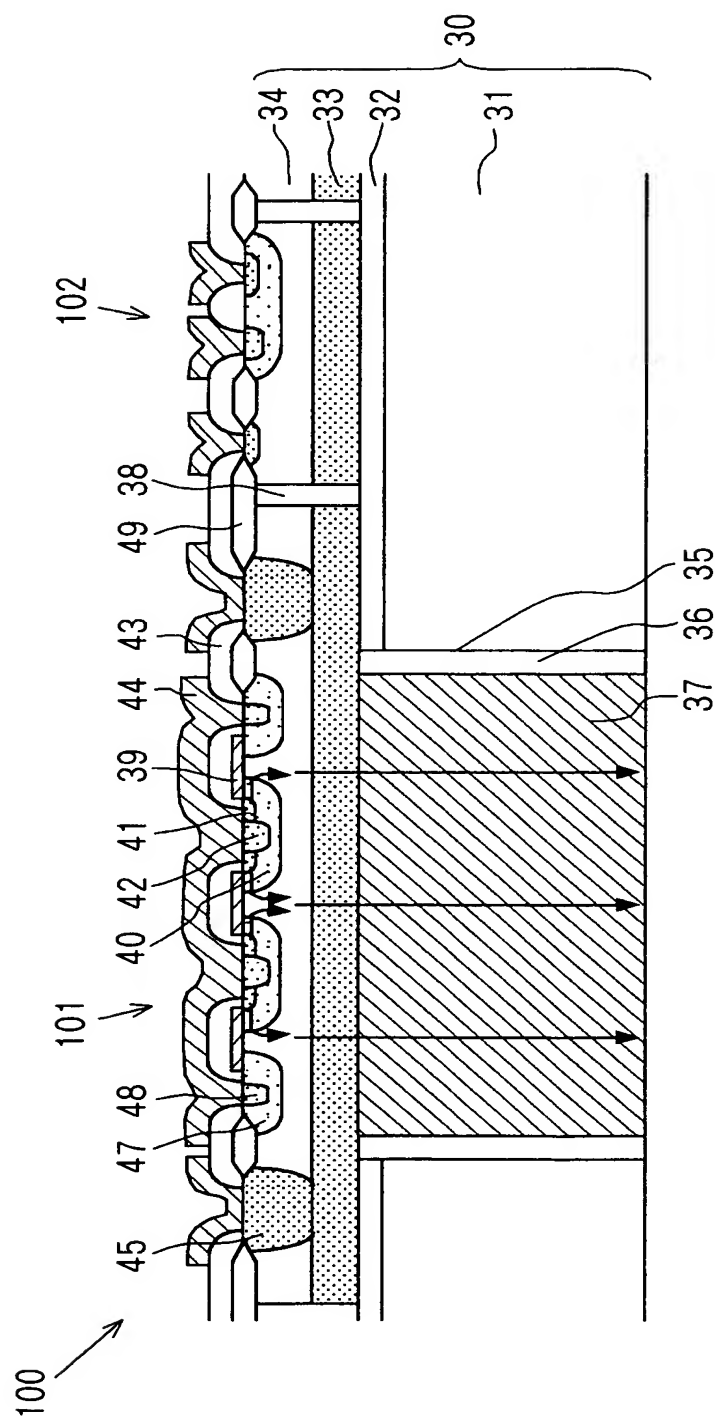
従来の半導体装置の断面図である。

【符号の説明】

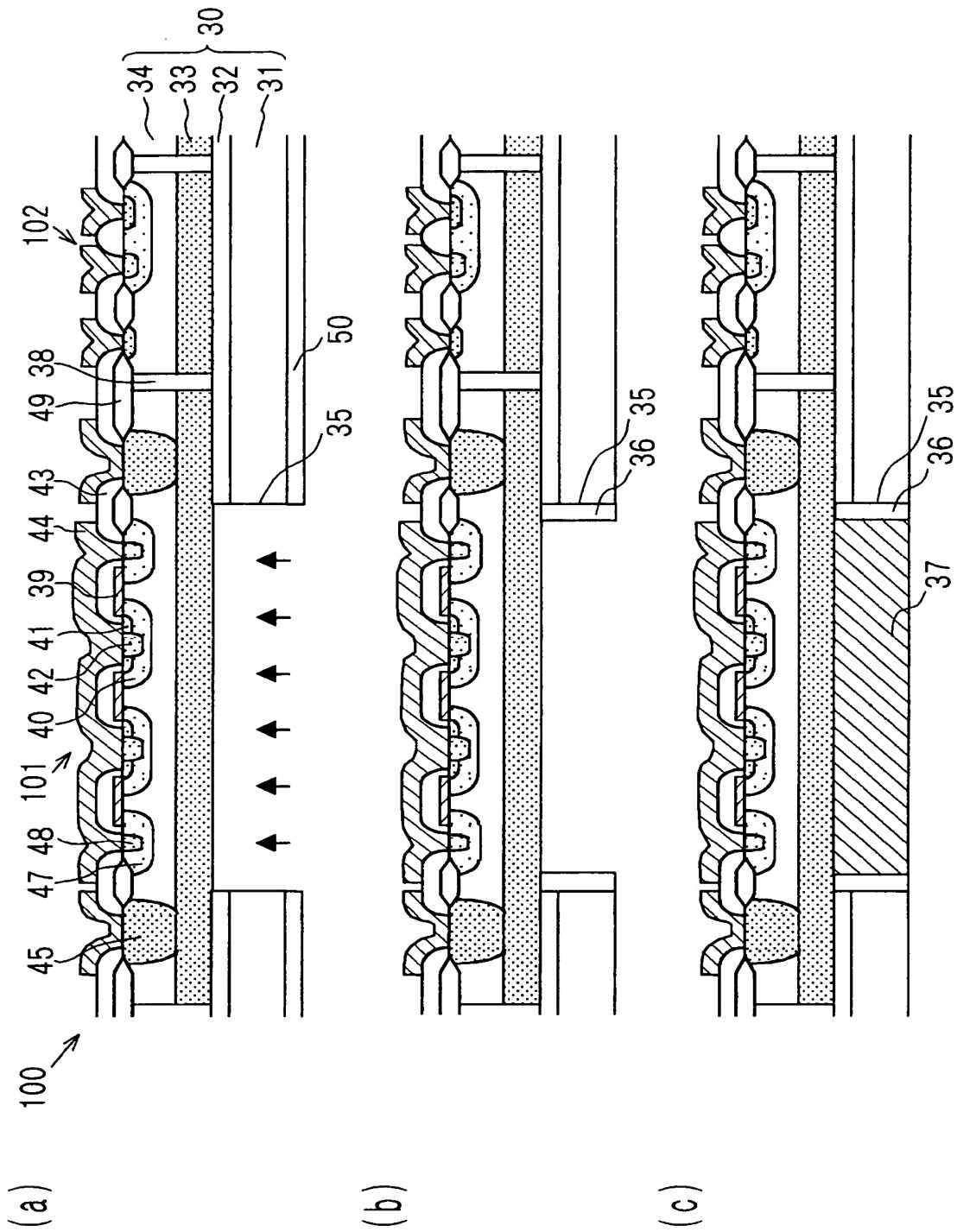
- 100 半導体装置
- 101 MOSトランジスタ
- 102 バイポーラトランジスタ
- 30 SOI基板(半導体基板)
- 31 シリコン(Si)基板
- 32 絶縁膜
- 33 第1半導体層
- 34 第2半導体層
- 35 トレンチ
- 36 側壁絶縁膜
- 37 金属層
- 38 トレンチ分離領域
- 39 ゲート電極
- 40, 41, 42, 45, 47, 48 拡散領域
- 43 層間絶縁膜
- 44 ソース電極
- 49 LOCOS

【書類名】 図面

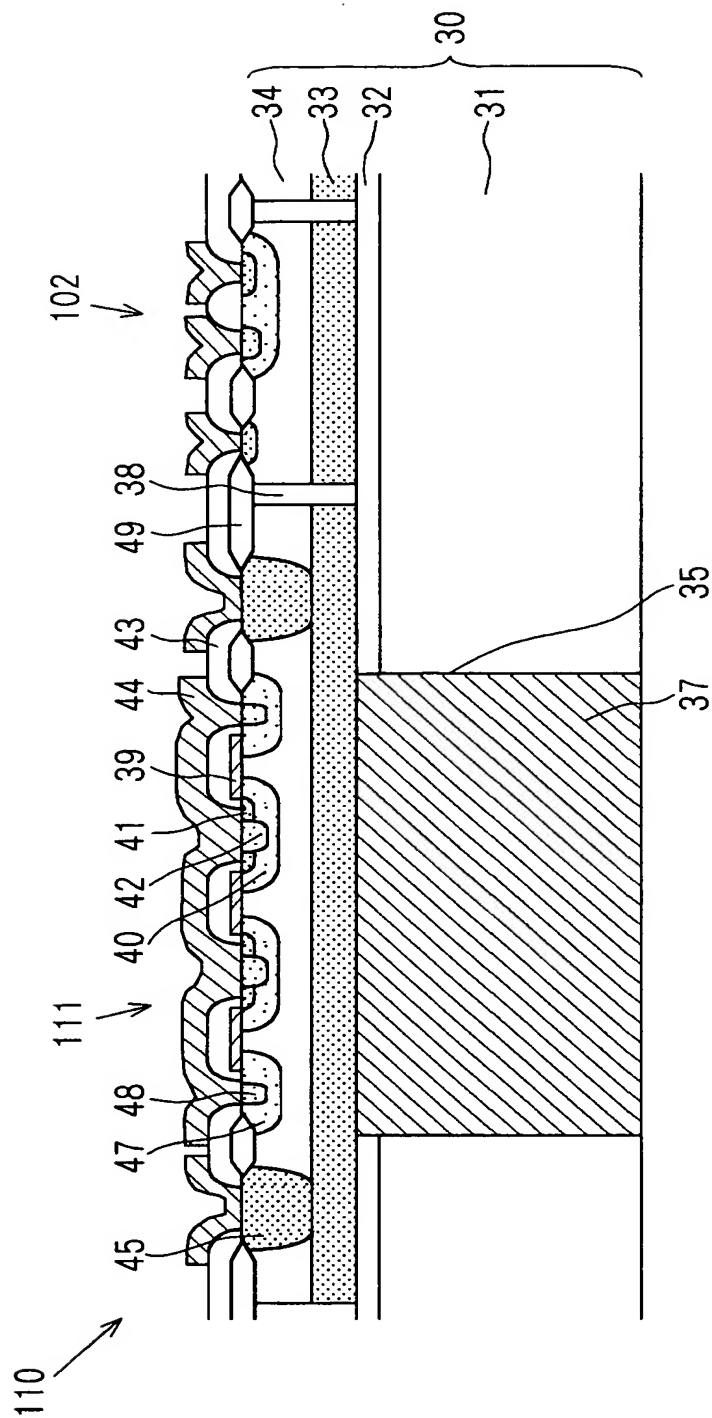
【図 1】



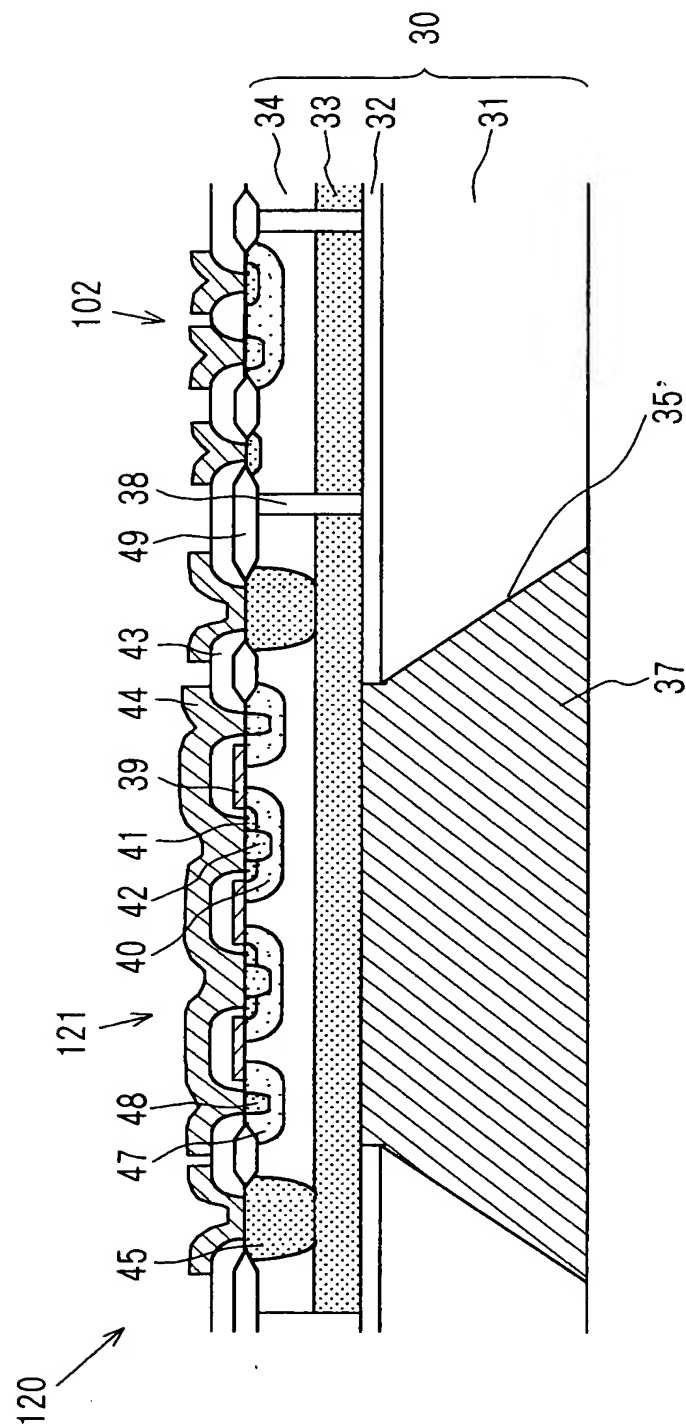
【図 2】



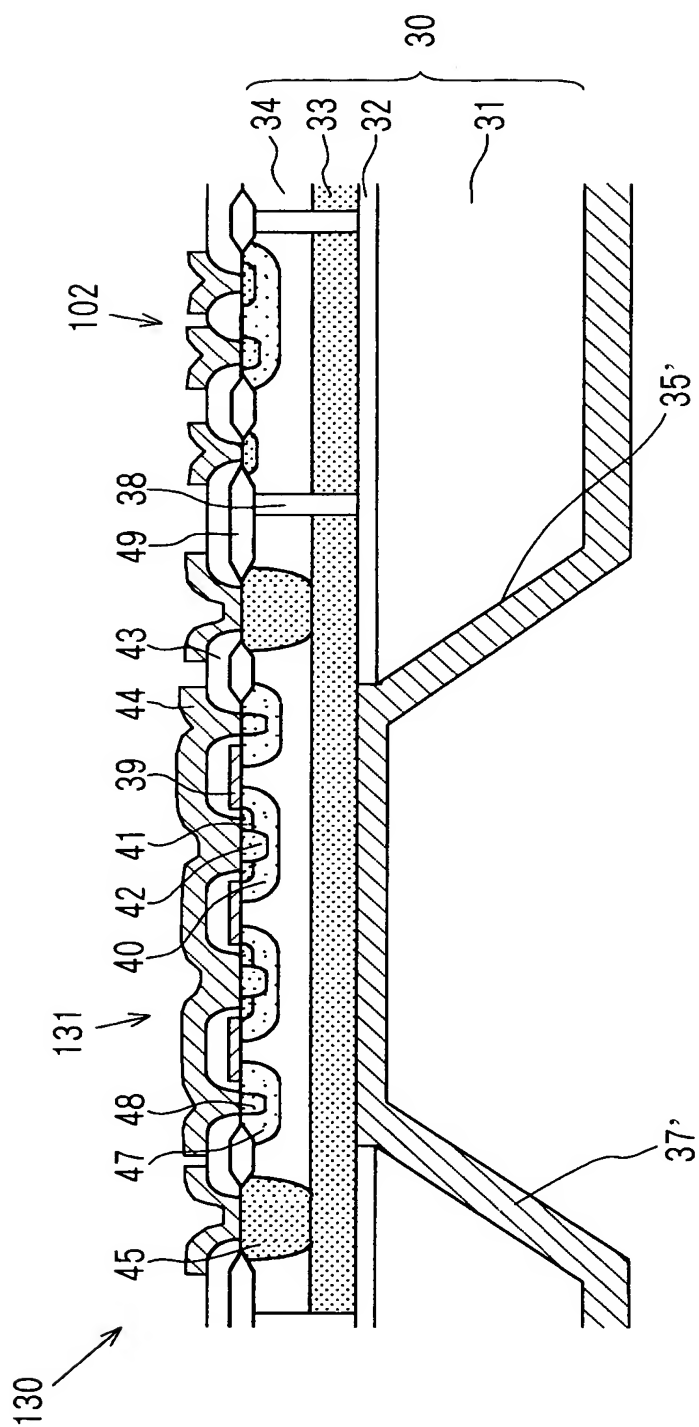
【図 3】



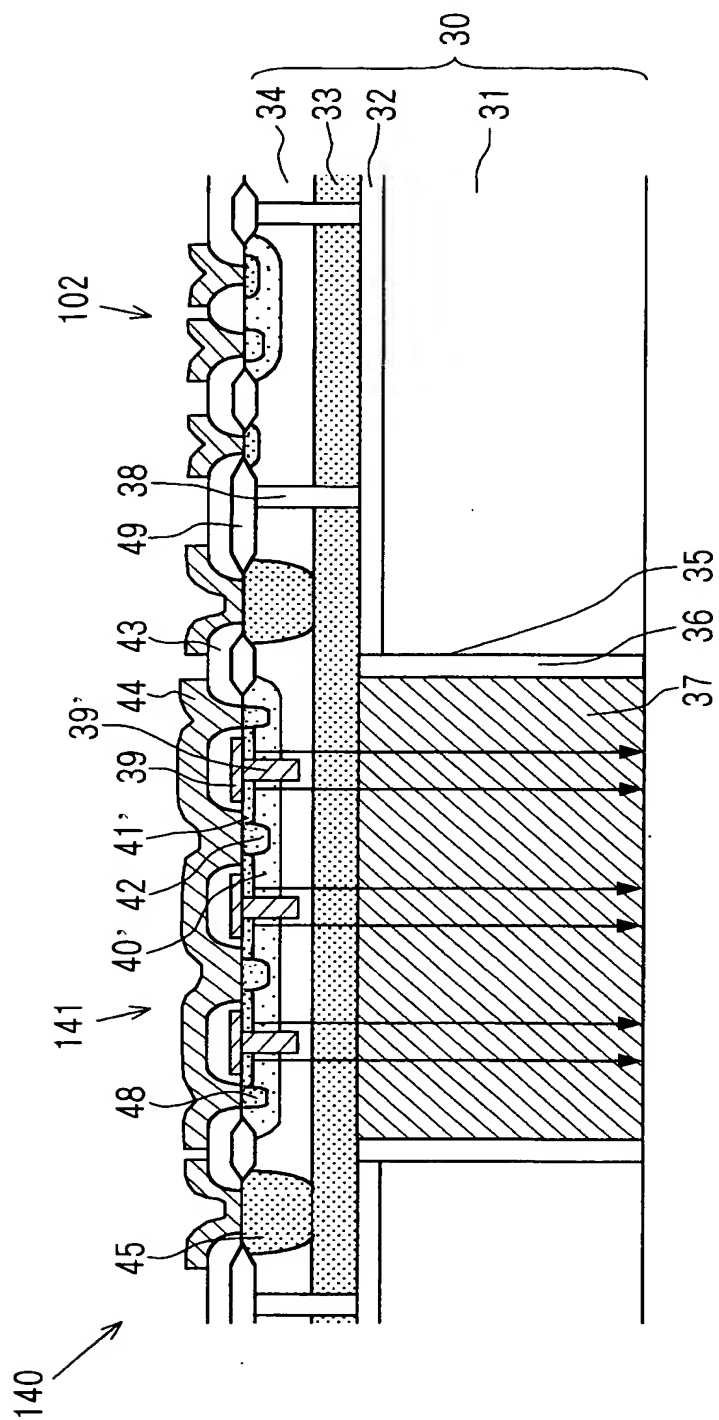
【図 4】



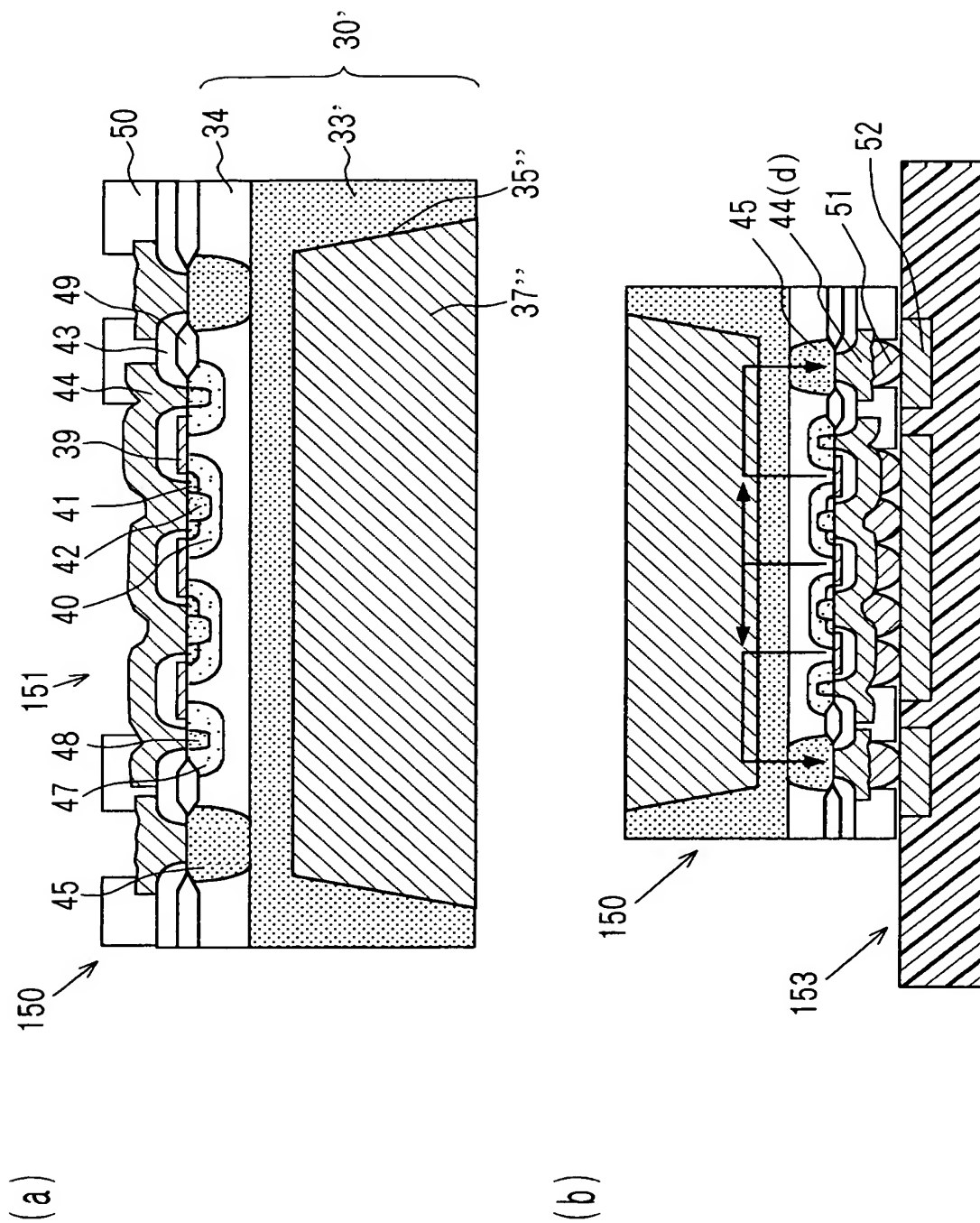
【図 5】



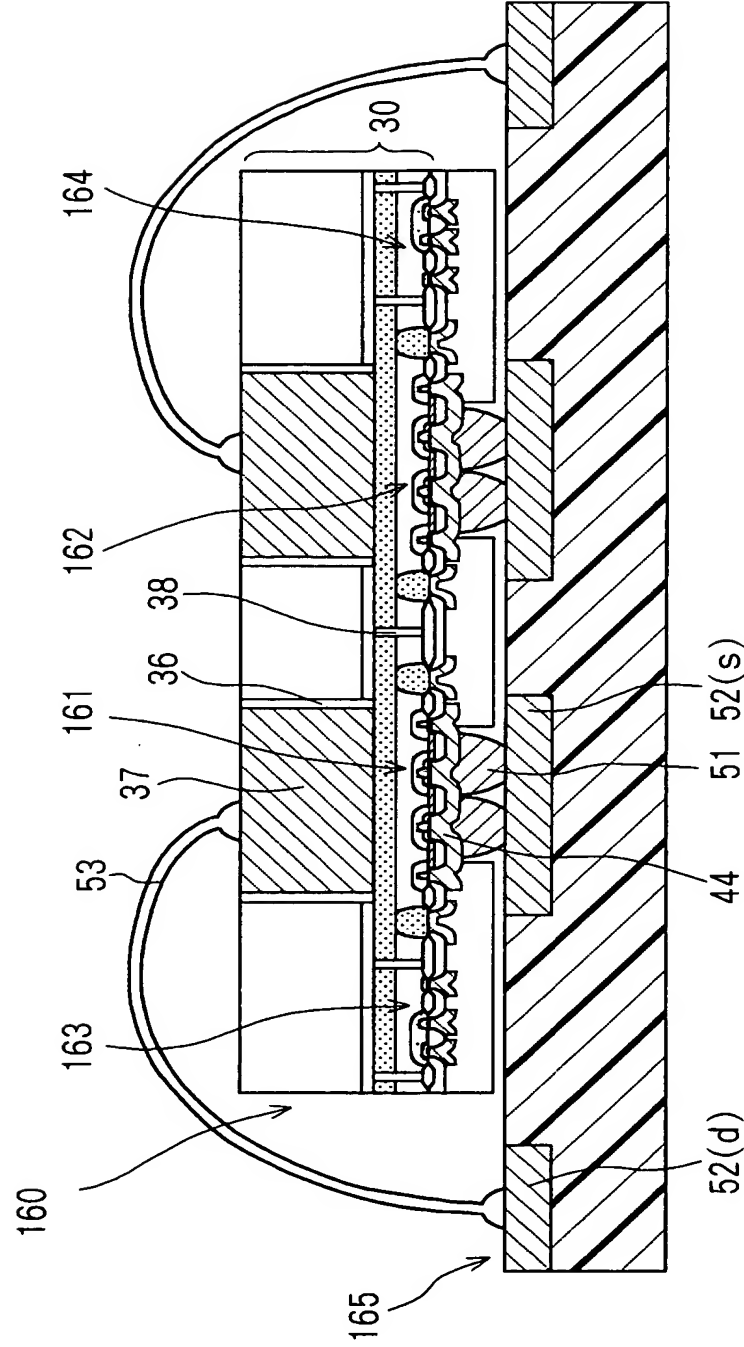
【図 6】



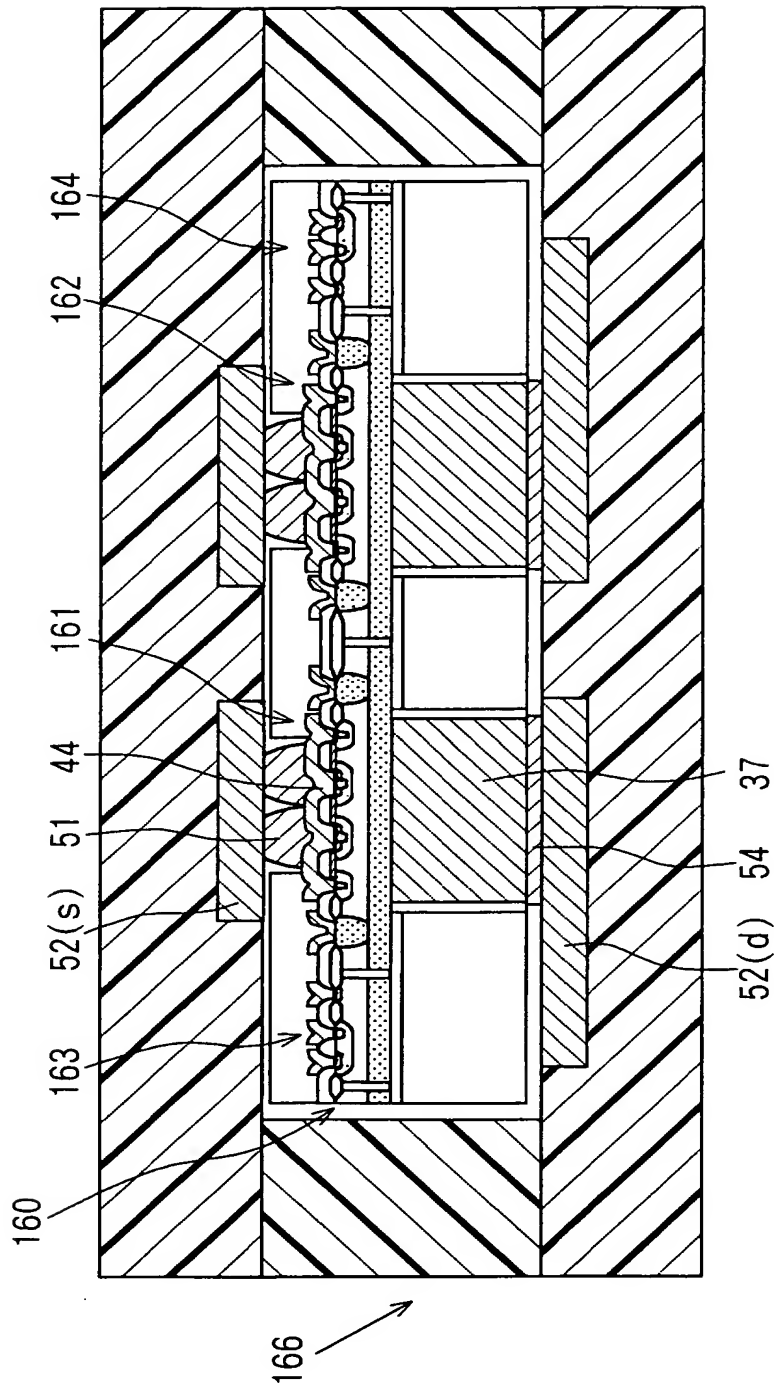
【図 7】



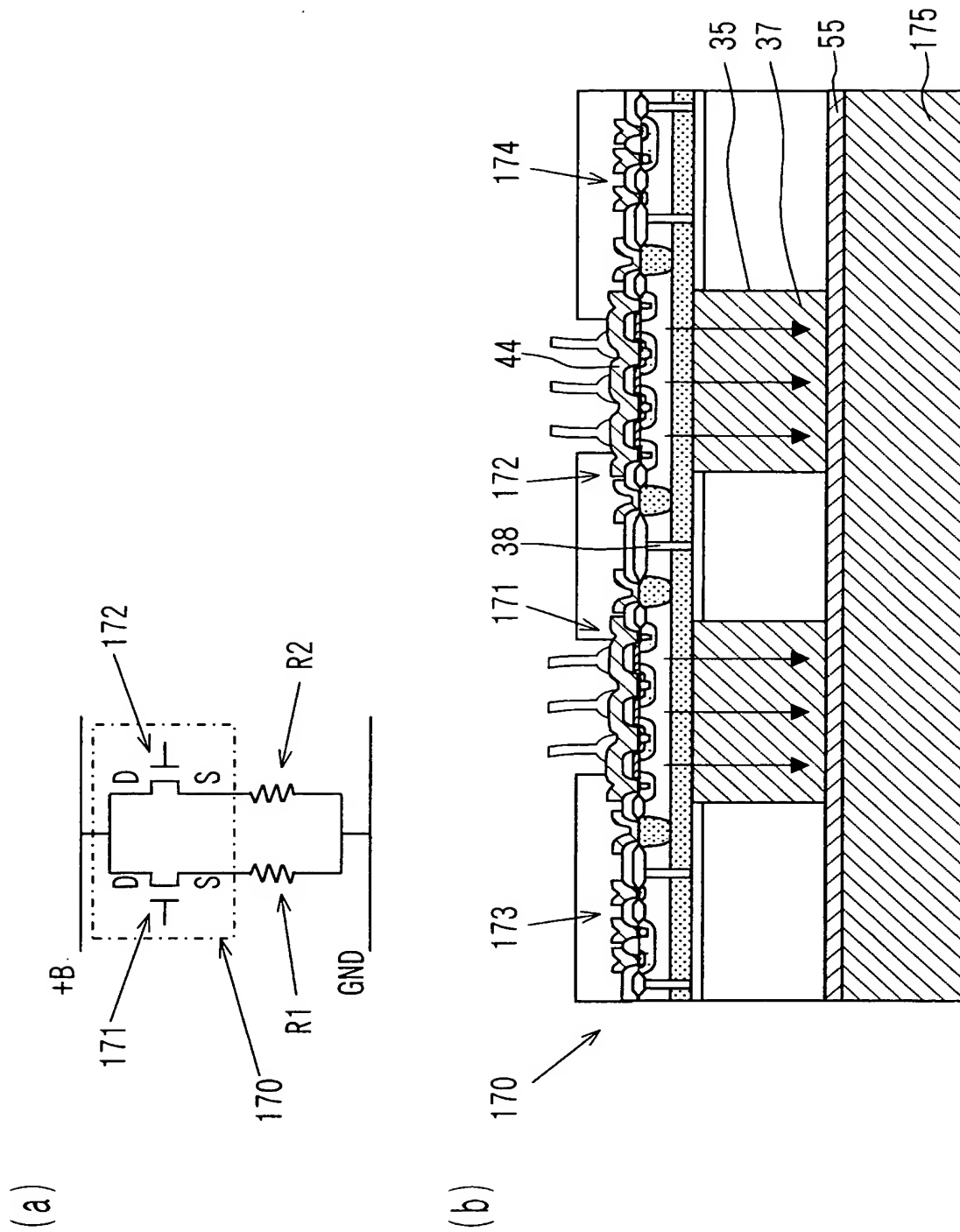
【図 8】



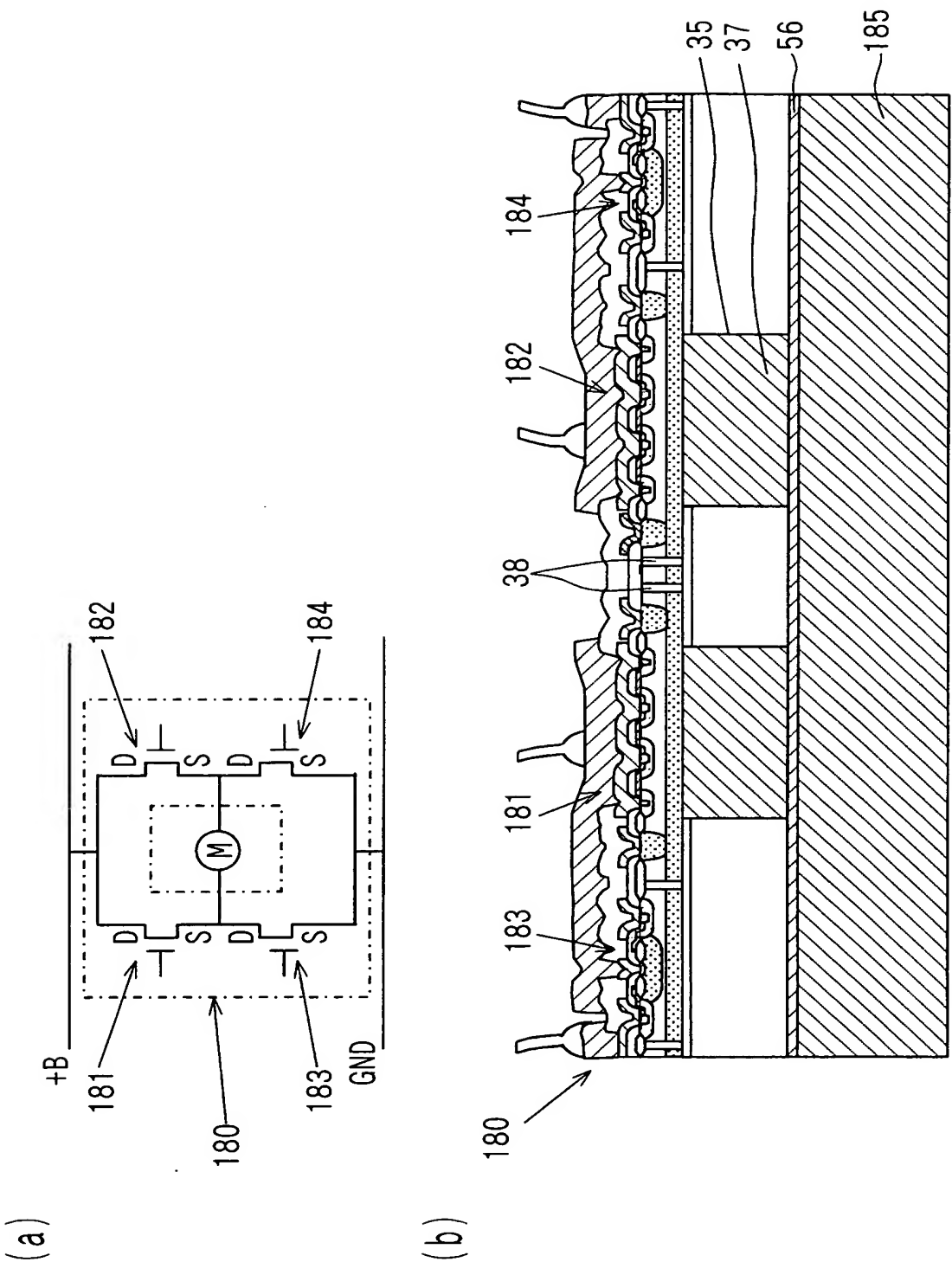
【図 9】



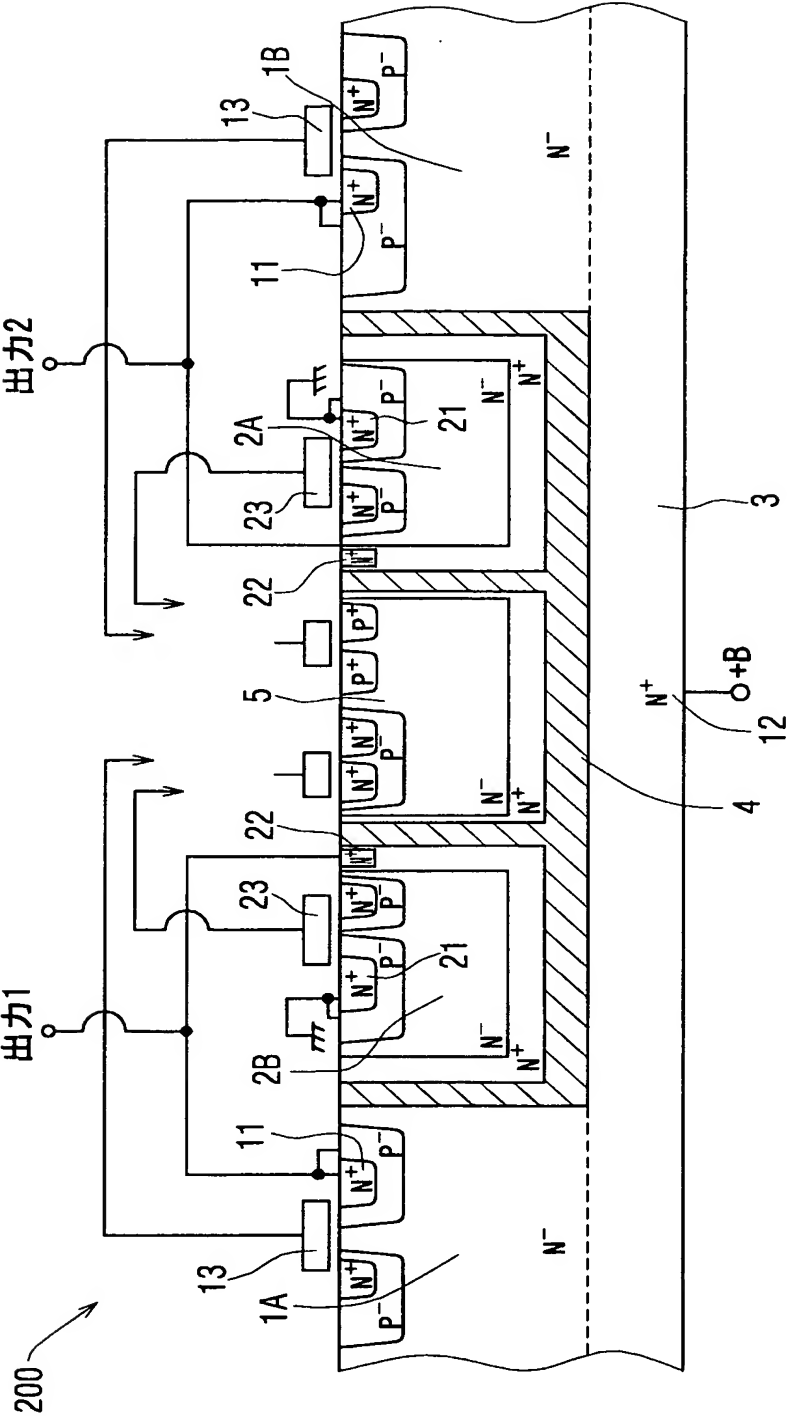
【図 10】



【図 11】



【図 12】





【書類名】 要約書

【要約】

【課題】 低オン抵抗のMOSトランジスタが形成されてなる半導体装置を提供する。また、マルチチャネル化の自由度の高い半導体装置を提供する。

【解決手段】 SOI基板30の絶縁膜32上には、MOSトランジスタ101のドレインとなる第1導電型の第1半導体層33と、第1導電型で第1半導体層33より低濃度の第2半導体層34が形成され、MOSトランジスタ101は、第2半導体層34の表層部に形成される第2導電型のチャネル拡散領域40と、チャネル拡散領域40の表層部に形成される第1導電型のソース拡散領域41と、チャネル拡散領域40の一部にゲート絶縁膜を介して当接配置されるゲート電極39とを備え、絶縁膜32下には、表面から絶縁膜32を貫通して第1半導体層33に達するトレンチ35が形成され、トレンチ35により露出した第1半導体層33上に、電極となる金属層37が形成される。

【選択図】 図1



特願 2 0 0 2 - 2 7 3 1 1 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 6 0]

1 . 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー